

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-215567

(43)Date of publication of application : 11.08.1998

---

(51)Int.Cl. H02M 3/155

---

(21)Application number : 09-015579

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 29.01.1997

(72)Inventor : MIZUMOTO MASAO, SUZUKI AKIRA

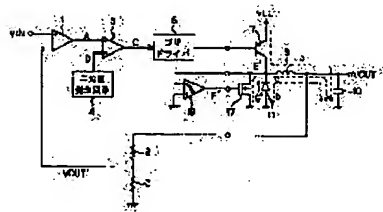
---

(54) POWER SOURCE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress dissipation current by a small number of elements to charge a capacitor by using a second transistor instead of a diode, after a predetermined time when a first transistor is turned from on to off.

SOLUTION: A capacitor 10 is charged via current paths (a), (b) by on or off of a bipolar transistor(BPTr) 7. At this time, a collector voltage E' of the BPTr 7 tends to output a high level. However, since a gate capacity of a MOS transistor(MOSTr) 17 exists, a drive signal F' output from a comparator 18 is delayed from the rise of a comparison signal C by a gate capacity to become a high level. The signal F' is changed into high level, the MOSTr 17 is turned on, a collector voltage E' of the BPTr 7 is raised, and the capacitor 10 is charged via a current path (c). When it approaches full charge status, the MOSTr 17 is turned off, the BPTr 7 is opened at its collector, and the collector voltage E' of the BPTr 7 vibrates.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-215567

(43) 公開日 平成10年(1998) 8月11日

(51) Int.Cl.<sup>9</sup>  
H 0 2 M 3/155

識別記号

F I  
H 0 2 M 3/155

H

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21) 出願番号 特願平9-15579

(22) 出願日 平成9年(1997) 1月29日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 水本 正夫

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72) 発明者 鈴木 亮

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

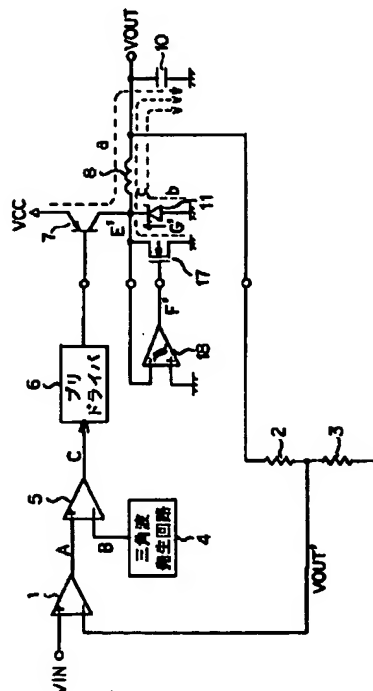
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 電源回路

(57) 【要約】

【課題】 回路素子数を削減して従来と同等の効果を得る電源回路を提供する。

【解決手段】 バイポーラトランジスタ7のコレクタの状態をヒステリシス型比較器18を用いて検出し、ショットキーダイオード11に代わりMOSトランジスタ17をオンさせる。これより、回路素子数を従来に比べて大幅に削減でき、従来と同等の効果も得ることができ



## 【特許請求の範囲】

【請求項1】 入力電圧と負荷を駆動する為の出力電圧との誤差を検出し、誤差信号を出力する誤差増幅器と、前記誤差信号に応じたデューティで第1トランジスタをスイッチングさせ、前記第1トランジスタがオンしている時はコイルを介してコンデンサを充電させるスイッチング回路と、前記第1トランジスタがオンからオフした時は前記コイルの逆起電圧の影響を受け前記コイルを介して前記コンデンサを充電させるダイオードとを設け、前記コンデンサの端子電圧を前記出力電圧とする電源回路において、前記ダイオードに並列接続された第2トランジスタと、前記第1トランジスタの出力電圧と基準電圧とを比較し、前記第2トランジスタを制御するヒステリシス型比較器と、を備え、前記第1トランジスタがオンからオフした所定時間後、前記ダイオードに代わり前記第2トランジスタを用いて前記コンデンサを充電させることを特徴とする電源回路。

【請求項2】 前記誤差信号は、前記入力信号及び前記出力信号の誤差に応じて変化する直流信号であることを特徴とする請求項1記載の電源回路。

【請求項3】 前記スイッチング回路は、前記誤差信号と所定周期の三角波信号とを比較する比較器を含み、前記比較器のハイ又はローレベルに応じて前記第1トランジスタをスイッチングさせることを特徴とする請求項2記載の電源回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、電源電圧より低く安定した出力電圧（負荷の為の電源電圧）を得る電源回路即ちダウンコンバータに関する。

## 【0002】

【従来の技術】 図3は従来の電源回路を示す回路ブロック図である。図3において、(1)は誤差増幅器であり、+端子には入力電圧 $V_{IN}$ （<電源電圧 $V_{CC}$ ）が印加され、-端子には出力電圧 $V_{OUT}$ を直列抵抗

(2)(3)で分圧した電圧 $V_{OUT}'$ が印加される。即ち、誤差増幅器(1)は+端子及び-端子の電圧誤差を零とする様に動作する。例えば、出力電圧 $V_{OUT}$ の上昇に伴い、電圧 $V_{OUT}'$ が入力電圧 $V_{IN}$ より上昇すると、誤差増幅器(1)から出力される誤差信号Aは下降する。また、出力電圧 $V_{OUT}$ の下降に伴い、電圧 $V_{OUT}'$ が入力電圧 $V_{IN}$ より下降すると、誤差増幅器(1)から出力される誤差信号Aは上昇する。誤差信号Aは、誤差増幅器(1)の+端子及び-端子の電位差に応じて変化する直流信号である。(4)は三角波発生回路であり、所定周期の三角波信号Bを発生するものである。(5)は比較器であり、+端子には誤差増幅器

(1)の誤差信号Aが印加され、-端子には三角波発生

回路(4)の三角波信号Bが印加される。比較器(5)から出力される比較信号Cは、誤差信号Aが三角波信号Bより高い時はハイレベルとなり、誤差信号Aが三角波信号Bより低い時はローレベルとなる。(6)はブリドライバであり、比較器(5)の比較信号Cを増幅するものである。(7)はPNP型のバイポーラトランジスタ(第1トランジスタ)であり、ベースにブリドライバ(6)の出力が印加され、スイッチング制御されるものである。コイル(8)、抵抗(9)、コンデンサ(10)は、バイポーラトランジスタ(7)のコレクタエミッタ路を介して電源 $V_{CC}$ と接地との間に直列接続されている。即ち、バイポーラトランジスタ(7)がオンしている時、コンデンサ(10)は電源 $V_{CC}$ から接地へ向かう電流路aを経て充電される。

【0003】 (11)はショットキーダイオードであり、バイポーラトランジスタ(7)のコレクタエミッタ路を介して電源 $V_{CC}$ と接地との間に直列接続されている。即ち、バイポーラトランジスタ(7)がオンからオフした時、コイル(8)に逆起電圧が発生する為、コンデンサ(10)はショットキーダイオード(11)を用いた接地から接地への電流路bを経て充電される。

【0004】 2段のインバータ(12)(13)は、その入出力間の容量だけ比較信号Cを遅延させた遅延信号Dを出力するものである。(14)は比較器であり、+端子は抵抗(9)の右端と接続されると共に-端子は抵抗(9)の左端と接続され、コンデンサ(10)の充電状態を検出するものである。即ち、比較器(14)は、コンデンサ(10)が充電されている場合は抵抗(9)の左端電位が右端電位より高くなる為ローレベルを出力する。一方、比較器(14)は、コンデンサ(10)が充電されなくなった場合は抵抗(9)の両端電圧が等しくなる為ハイレベルを出力する。(15)はブリドライバであり、遅延信号Dと比較器(14)の出力とが印加される。ブリドライバ(15)は、比較器(14)の出力がローレベルの期間だけ遅延信号Dの通過を許可し、駆動信号Fを出力する。(16)はNチャンネル型のMOSトランジスタであり、ゲートに駆動信号Fが印加され、スイッチング制御されるものである。MOSトランジスタ(16)は、ショットキーダイオード(11)と並列接続されており、駆動信号Fがハイレベルになると、ショットキーダイオード(11)に代わりオンしてコンデンサ(10)を充電させる。コンデンサ(10)の両端電圧が負荷（図示せず）を駆動する為の出力電圧 $V_{OUT}$ となる。

【0005】 以下、図3の動作を図4の波形図を用いて説明する。比較信号Cがローレベルの時、バイポーラトランジスタ(7)のコレクタ電圧Eは、バイポーラトランジスタ(7)がオンする為、電源 $V_{CC}$ まで上昇する。この時、コンデンサ(10)は電流路aを経て充電される。その後、比較信号Cがローレベルからハイレベ

ルへ変化した時、バイポーラトランジスタ (7) がオフすると共にコイル (8) に逆起電圧が発生する為、バイポーラトランジスタ (7) のコレクタ電圧Eは、ショットキーダイオード (11) を導通させるのに十分な負電圧まで急峻に下降する。この時、コンデンサ (10) は電流路bを経て充電される。

【0006】その後、バイポーラトランジスタ (7) のコレクタ電圧Eは、コンデンサ (10) が電流路bを経て充電を継続できる様に、ショットキーダイオード (11) を導通させることのできる破線の負電圧 (例えば -0.3ボルト以下) の範囲で上昇しようとする。しかし、駆動信号Fがハイレベルに変化してMOSトランジスタ (16) がオンする為、バイポーラトランジスタ (7) のコレクタ電圧Eは、MOSトランジスタ (16) のドレインソース間電圧 (例えば -0.1ボルト) まで上昇し、ショットキーダイオード (11) はオフする。この時、コンデンサ (10) はMOSトランジスタ (16) を用いた接地から接地への電流路cを経て充電される。

【0007】その後、コンデンサ (10) が電流路a、b、cを経て満充電になると、MOSトランジスタ (16) がオフし、バイポーラトランジスタ (7) がオープンコレクタとなる為、バイポーラトランジスタ (7) のコレクタ電圧Eは、コイル (8) の振動の影響を受けて振動する。以上より、MOSトランジスタ (16) がショットキーダイオード (11) の代わりにオンする為、ショットキーダイオード (11) の電流Gは、破線の範囲まで流れることなく、実線の短い範囲のみ流れることになり、消費電流を抑えることができる。これは、MOSトランジスタ (16) のオン抵抗がショットキーダイオード (11) のオン抵抗より小さいことに起因する。

【0008】

【発明が解決しようとする課題】しかしながら、MOSトランジスタ (16) のスイッチング制御を実現するには、抵抗 (9)、インバータ (12) (13)、比較器 (14)、プリドライバ (15) が必要であり、回路素子数の増加に伴い、チップ面積が大型化したり、集積回路の外付素子が増加してコストアップする等の問題があった。

【0009】そこで、本発明は、少ない素子数で消費電流を抑えることのできる電源回路を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は、前記問題点を解決する為に成されたものであり、入力電圧と負荷を駆動する為の出力電圧との誤差を検出し、誤差信号を出力する誤差増幅器と、前記誤差信号に応じたデューティで第1トランジスタをスイッチングさせ、前記第1トランジスタがオンしている時はコイルを介してコンデンサを充電させるスイッチング回路と、前記第1トランジスタ

がオンからオフした時は前記コイルの逆起電圧の影響を受け前記コイルを介して前記コンデンサを充電させるダイオードとを設け、前記コンデンサの端子電圧を前記出力電圧とする電源回路において、前記ダイオードに並列接続された第2トランジスタと、前記第1トランジスタの出力電圧と基準電圧とを比較し、前記第2トランジスタを制御するヒステリシス型比較器と、を備え、前記第1トランジスタがオンからオフした所定時間後、前記ダイオードに代わり前記第2トランジスタを用いて前記コンデンサを充電させることを特徴とする。また、前記誤差信号は、前記入力信号及び前記出力信号の誤差に応じて変化する直流信号であることを特徴とする。更に、前記スイッチング回路は、前記誤差信号と所定周期の三角波信号とを比較する比較器を含み、前記比較器のハイ又はローレベルに応じて前記第1トランジスタをスイッチングさせることを特徴とする。

【0011】

【発明の実施の形態】本発明の詳細を図面に従って具体的に説明する。図1は本発明の電源回路を示す回路ブロック図である。尚、図1の中で、図3と同一素子については同一番号を記すと共にその説明を省略する。図1において、(17)はショットキーダイオード (11) と並列接続されたNチャンネル型のMOSトランジスタ (第2トランジスタ) である。(18)はヒステリシス型の比較器であり、+端子は接地され、-端子はバイポーラトランジスタ (7) のコレクタと接続されている。例えば、比較器 (18) の2つのスレッシュホールド電圧  $V_{thh}$ 、 $V_{thl}$  を各々 -0.05ボルト、-0.2ボルトに設定する。

【0012】以下、図1の動作を図2の波形図を用いて説明する。比較信号Cがローレベルの時、バイポーラトランジスタ (7) のコレクタ電圧E'は、バイポーラトランジスタ (7) がオンする為、電源VCCまで上昇する。この時、コンデンサ (10) は電流路aを経て充電される。その後、比較信号Cがローレベルからハイレベルへ変化した時、バイポーラトランジスタ (7) がオフすると共にコイル (8) に逆起電圧が発生する為、バイポーラトランジスタ (7) のコレクタ電圧E'は、ショットキーダイオード (11) を導通させるのに十分な負電圧まで急峻に下降する。この時、コンデンサ (10) は電流路bを経て充電される。尚、バイポーラトランジスタ (7) のコレクタ電圧E'は急峻に下降する際に比較器 (18) の低い側のスレッシュホールド電圧  $V_{thl}$  を切る為、比較器 (18) はハイレベルを出力しようとする。しかし、MOSトランジスタ (17) のゲート容量が存在する為、比較器 (18) から出力される駆動信号F'は比較信号Cの立ち上がりから前記ゲート容量だけ遅延してハイレベルとなる。従って、比較信号Cの立ち上がりから駆動信号F'の立ち上がりまでの期間は、コンデンサ (10) を充電させる為にショットキーダイオ

ード(11)が必要なのである。

【0013】その後、バイポーラトランジスタ(7)のコレクタ電圧 $E'$ は、コンデンサ(10)が電流路bを経て充電を継続できる様に、ショットキーダイオード

(11)を導通させることのできる破線の負電圧(例えば-0.3ボルト以下)の範囲で上昇しようとする。しかし、駆動信号 $F'$ がハイレベルに変化してMOSトランジスタ(17)がオンする為、バイポーラトランジスタ(7)のコレクタ電圧 $E'$ は、MOSトランジスタ

(17)のドレインソース間電圧(例えば-0.1ボルト)まで上昇し、ショットキーダイオード(11)はオフする。この時、コンデンサ(10)はMOSトランジスタ(17)を用いた接地から接地への電流路cを経て充電される。

【0014】その後、コンデンサ(10)が電流路cを経て満充電に近づき、バイポーラトランジスタ(7)のコレクタ電圧 $E'$ が上昇して比較器(18)の高い側のスレッシュホールド電圧 $V_{thh}$ を切ると、比較器(18)から出力される駆動信号 $F'$ がローレベルに変化してMOSトランジスタ(17)がオフし、バイポーラトランジスタ(7)がオープンコレクタとなる為、バイポーラトランジスタ(7)のコレクタ電圧 $E'$ は、コイル

(8)の振動の影響を受けて振動する。

【0015】以上より、ショットキーダイオード(11)を流れる電流 $G'$ は、比較信号Cの立ち上がりから駆動信号 $F'$ の立ち上がりまでの極めて短い期間だけで

済み、消費電流を抑えることができる。本発明の実施の形態によれば、ヒステリシス型の比較器(18)を設ける極めて簡単な構成で、従来と同様の効果を得ることができ、チップ面積の大型化を防止でき、外付素子を削減してコストダウンを実現できる。

【0016】

【発明の効果】本発明によれば、ヒステリシス型比較器を設ける極めて簡単な構成で、従来と同様の効果を得ることができ、これより、チップ面積の大型化を防止でき、外付素子を削減してコストダウンを実現できる利点が得られる。

【図面の簡単な説明】

【図1】本発明の電源回路を示す回路ブロック図である。

【図2】図1の動作を示す波形図である。

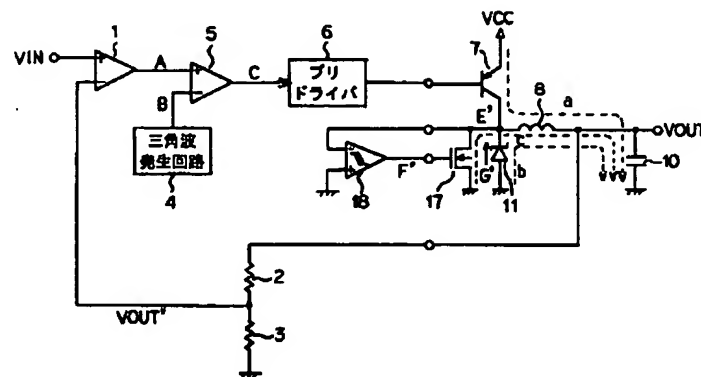
【図3】従来の電源回路を示す回路ブロック図である。

【図4】図3の動作を示す波形図である。

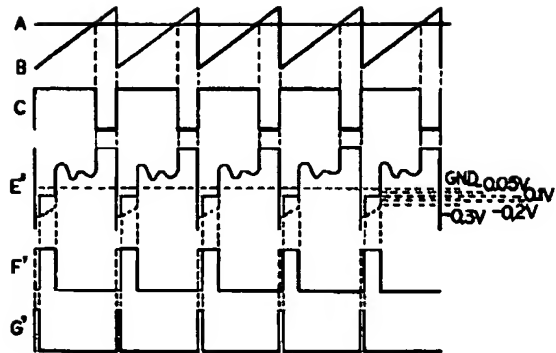
【符号の説明】

- (1) 誤差増幅器
- (5) 比較器
- (7) バイポーラトランジスタ
- (10) コンデンサ
- (11) ショットキーダイオード
- (17) MOSトランジスタ
- (18) ヒステリシス型の比較器

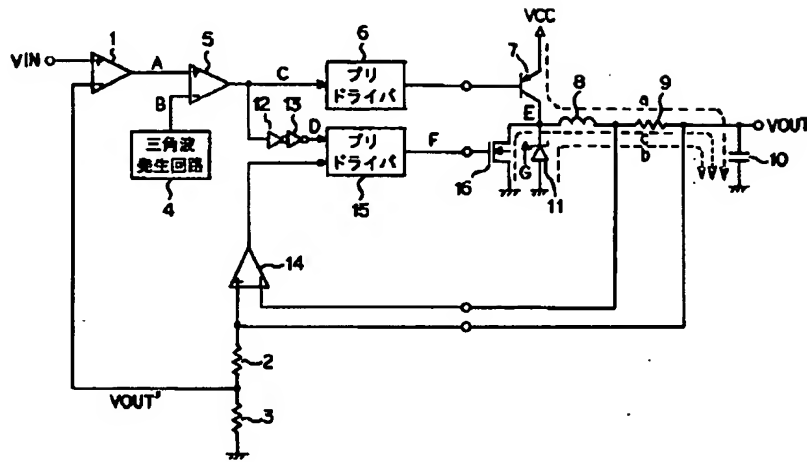
【図1】



【図2】



【図3】



【図4】

